

[translation]

(19) THE KOREAN INDUSTRIAL PROPERTY OFFICE (KR)
LAID-OPEN PATENT GAZETTE (A)

(51) Int. Cl.6 5. H03G 3/20

(11) Laid-Open No. 1999-0065094

(43) Laid-Open Date: August 5, 1999

(21) Application No. 202/1998

(22) Application Date: January 7, 1998

(71) Applicant: Samsung Electronics Co., Ltd

(72) Inventor: M. G. Cho

Request for Examination: Not filed

(54) Title of the Invention:

AUTOMATIC GAIN CONTROLLER FOR A VERY HIGH
SPEED DIGITAL SUBSCRIBER LINE SYSTEM

Specification and claims: Not translated

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl. H03G 3 /20 (11) 공개번호 특 1999-0065094
 (43) 공개일자 1999년 08월 05일

(21) 출원번호 10-1998-0000202
 (22) 출원일자 1998년 01월 07일
 (71) 출원인 삼성전자 주식회사 윤종용
 (72) 발명자 경기도 수원시 팔달구 매탄3동 416
 조면균
 (74) 대리인 경기도 용인시 기흥읍 농서리 산14-1
 권석음, 이영필, 이상훈
 심사청구 : 없음

(54) 초고속 디지털 가입자선 시스템에서의 자동 이득 조정장치

요약

본 발명은 초고속 디지털 가입자선 시스템에서의 자동 이득 조정장치를 개시한다. 이 자동 이득 조정장치는, 수신되는 입력 신호에 가변 이득 스텝에 따라 업 또는 다운된 이득값을 곱하여 자동 이득 조정된 출력 신호로서 출력하는 곱셈기 및 곱셈기의 출력 신호를 피드백하여 절대치를 계산하고, 소정수의 샘플단위로 절대치들의 피크를 검출하고, 피크의 레벨을 소정의 기준 레벨과 비교하여 기준 레벨과의 차를 줄이도록 이득 스텝을 가변시켜 이득값을 출력하는 이득값 발생부를 구비하는 것을 특징으로 한다.

대표도

도2

영세서

도면의 간단한 설명

도 1은 통신 시스템의 수신단에서 사용되는 종래의 자동 이득 조정장치의 블록도이다.
 도 2는 본 발명에 의한 자동 이득 조정장치의 블록도이다.
 도 3은 도 2에 도시된 피크 검출기의 동작을 설명하기 위한 개념도이다.
 도 4는 도 2에 도시된 평균 계산기와 바람직한 실시예의 상세 블록도이다.

도 5는 도 2에 도시된 스레시홀드 검출기의 동작을 설명하기 위한 개념도이다.

도 8은 본 발명에 의한 자동 이득 조정장치의 이득 업데이팅 온/오프 동작을 설명하기 위한 개념도이다.

도 7 (a) 및 (b)는 종래와 본 발명의 자동 이득 조정장치에 따른 전체 이득값과 자동 이득 조정 장치의 출력값을 비교한 시뮬레이션도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 통신 시스템에 관한 것으로서, 특히 초고속 디지털 가입자선 시스템에서의 자동 이득 조정장치에 관한 것이다.

고속의 데이터를 전송하는 시스템으로서 초고속 디지털 가입자선(VDSL: Very high speed Digital Subscriber Line) 시스템은 특정 사업자가 기존에 존재하는 전송 선로를 통해 소정의 서비스를 원하는 가입자에게 초고속으로 전송 서비스하는 시스템이다. 이때 가입자에게 수신된 신호는 전송 선로(동선)의 손실에 의해 신호의 파워와 레벨이 크게 줄어들고, 또한 전송로의 주변 환경들에 의해서도 왜곡되기 마련이다.

통상, 통신 시스템의 수신측에서는 동기화 장치(synchronizer)를 통해 송신측과 동기율 맞추게 되는데, 일반적으로 멀티플리어 타입 위상 검출기로 적용하는 위상 동기 루프가 널리 이용된다. 이때, 위상 검출기의 이득은 입력 신호 레벨에 비례하게 되어 모든 위상 동기 루프의 파라미터들은 이 이득값에 의존하게 된다. 따라서, 수신측에서 위상 동기 루프를 설정 포인트 근처에서 동작시키고자 한다면, 입력 신호 레벨을 제어해야 하는 것이 필수적이다. 또한 신호를 사용하는 디바이스의 다이내믹 레인지안에 있게 해야 한다. 이와 같이, 수신측에서 수신된 신호의 파워 레벨과 무관하게 수신자가 원하는 파워 레벨을 유지할 필요가 있어서 사용하게 되는 디바이스가 자동 이득 조정(AGC: Automatic Gain Control) 장치이다.

도 1은 통신 시스템의 수신단에서 사용되는 종래의 자동 이득 조정장치의 블록도로서, 제1 곱셈기(102), 아날로그-디지털 변환기(104), 제2 곱셈기(106), 제곱 계산기(108), 평균 계산기(110), 가산기(112), 적분기(114) 및 스레시홀드 검출기(116)로 구성된다.

도 1을 참조하면, 제1 곱셈기(102)는 종래의 자동 이득 조정장치로 입력되는 신호($x(t)$)에 고정된 외부 이득을 곱하여 입력 신호의 파워 레벨을 대략의 파워 레벨로 올리고, 아날로그-디지털 변환기(104)는 제1 곱셈기(102)의 출력을 디지털로 변환한다. 제2 곱셈기(106)는 다시 정확한 파워 레벨을 얻도록 하기 위한 미세 조정 수단에 해당하며, 디지털로 변환된 신호에 고정된 이득 스텝만큼 증폭 이득을 곱한다. 이에 따라, 제2 곱셈기(106)의 출력, 즉 자동 이득 조정장치의 출력($s(t)$)은 고정된 이득 스텝만큼씩 증폭 이득이 조금씩 조정되는데, 고정된 이득 스텝의 업/다운은 제2 곱셈기(106)의 출력을 피드백함으로써 조정된다.

피드백 회로부분에 해당하는 제곱 계산기(108)는 $s(t)$ 를 제곱하여 신호의 파워를 검출하고, 평균 계산기(110)는 일정 기간동안에 제곱 계산기(108)의 출력의 평균값을 계산한다. 다음에, 가산기(112)는 평균 계산기(110)에서 계산된 평균값의 부호로 하고, 기준 파워레벨(Ref_power)을 양의 부호로 하여 레벨을 비교하고, 그 비교된 차를 에러신호로서 출력한다. 최종적인 고정 이득 스텝의 업/다운 결정부문으로서 적분기(114)는 에러신호를 적분하고, 스레시홀드 검출기(116)는 적분된 결과로부터 고정 이득 스텝의 업 또는 다운을 결정하여 그 결과는 제2 곱셈기(106)로 출력한다. 이에 따라, 제2 곱셈기(106) 즉, 증폭기의 고정 이득이 제어되어, 다시 제2 곱셈기(106)의 출력은 미세한 이득 조정을 위해 피드백됨으로써 원하는 파워 레벨을 얻게 된다.

그러나, 종래의 자동 이득 조정장치는 원하는 파워 레벨을 맞추는 것이 주 목적적으로, 신호의 크기가 중요한 수신측에서의 동기 장치나 입력 신호를 수신측 디바이스의 다이내믹 레인지내에 두어야 하는 중요한 역할을 해낼 수 없다. 또한, 미리 정해진 작은 크기의 이득 스텝만을 이용하므로 정상 상태로 수렴하는데 많이 시간이 걸릴뿐만 아니라, 고정 이득 스텝의 업/다운 결정과정에서 적분기와 스레시홀드 검출기로 이루어진 바이어스 검출기를 이용하여야 하기 때문에 하드웨어면에서도 복잡한 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 통신 시스템에서 채널을 통해 파워 레벨이 감쇄되어 수신되는 신호를 간단한 회로 구성으로 수신측에서 요구되는 원하는 크기 레벨의 신호로 만들며, 빠른 수렴속도와 안정적 성능을 보장하고, 특히 초고속 디지털 가십자선 시스템에서 효과적인 자동 이득 조정장치를 제공하는데 있다.

발명의 구성 및 작용

상기 과제를 이루기 위하여, 본 발명에 의한 초고속 디지털 가십자선 시스템에서의 자동 이득 조정장치는, 수신되는 입력 신호에 가변 이득 스텝에 따라 업 또는 다운된 이득값을 곱하여 자동 이득 조정된 출력 신호로서 출력하는 곱셈기 및 곱셈기의 출력 신호를 피드백하여 절대치를 계산하고, 소정수의 샘플단위로 절대치들의 피크를 검출하고, 피크의 레벨을 소정의 기준 레벨과 비교하여 기준 레벨과의 차를 줄이도록 이득 스텝을 가변시켜 이득값을 출력하는 이득값 발생부로 구성되는 것을 특징으로 한다.

이하, 본 발명에 의한 자동 이득 조정장치의 구성 및 동작을 첨부한 도면을 참조하여 다음과 같이 설명한다.

도 2는 본 발명에 의한 자동 이득 조정장치의 블록도로서, 곱셈기(200) 및 이득값 발생부(202)로 구성되며, 이득값 발생부(202)는 아날로그-디지털 변환기(204), 절대치 계산기(206), 피크 검출기(208), 평균 계산기(210), 가산기(212), 스레시홀드 검출기(214) 및 이득 스텝 제어기(216)로 구성된다.

도 2에 도시된 본 발명에 의한 장치는 기본적으로, 종래의 장치가 파워 중심의 자동 이득을 수행하는데 비하여 진폭 중심의 자동 이득을 수행한다. 본 발명에 의한 장치에서 피드백 루프에 해당하는 이득값 발생부(202)는, 수신되는 입력 신호를 제공하는 대신에 절대치를 계산하고, 이를 이용하여 입력 신호의 레벨을 수신측 디바이스의 다이내믹 레인지내에 들어오도록 소정수의 샘플 단위로 이루어진 윈도우 기간 동안에 피크를 검출하고, 이 피크를 이용하여 이득값을 발생한다.

또한, 기본적으로, 종래의 장치가 고정된 이득 스텝을 가지는데 비하여 본 발명의 장치는 가변 이득 스텝을 가진다. 즉, 종래의 장치가 고정된 이득 스텝을 가지고 조금씩 업데이트하는 대신에 본 발명의 장치는 가변 이득 스텝을 도입하여 자동 이득 조정된 출력 신호가 초기에는 빨리 수렴되고, 이후에는 세밀하게 따라가도록 함으로써 이득값이 안정된 상태로 도달하는 시간을 크게 줄이게 된다.

또한, 본 발명의 장치에서 이득값 발생부(202)는 복잡한 회로로 간단하게 줄여서 단순한 하드웨어 구현을 가능케하며, 지속적으로 이득값을 업데이트하지 않고 일단 이득값이 원하는 안정 상태에 도달되면 이득값 제어를 위한 동작을 정지시키고, 일정 시간간격으로 다시 이득값을 업데이트함으로써 시스템 동작에 필요한 부담을 크게 줄인다.

도 2를 참조하여 본 발명에 의한 장치의 동작을 설명하면, 곱셈기(200)는 수신되는 입력 신호($x(t)$)에 가변 이득 스텝에 따라 업 또는 다운된 이득값을 곱하여 자동 이득 조정된 출력 신호($s(t)$)로서 출력한다. 여기서, 이득값은 이득값 발생부(202)로부터 조정된다.

이득값 발생부(202)는 곱셈기(200)의 출력 신호($s(t)$)가 원하는 레벨 크기만큼 증폭되도록 하는 자동 이득 조정장치의 목적을 달성하기 위해 출력 신호($s(t)$)를 피드백한다. 이득값 발생부(202)는 출력 신호($s(t)$)의 절대치를 계산하고, 소정수

의 샘플단위로 절대치들의 피크를 검출하고, 피크의 레벨을 소정의 기준 레벨(Ref_level)과 비교하여 기준 레벨(Ref_level)과의 차를 줄이도록 이득 스텝을 가변시켜 이득값을 급셈기(200)로 출력한다.

구체적으로, 아날로그-디지털 변환기(204)는 출력 신호(s(t))를 샘플링하여 디지털 신호(z)로 변환시키고, 절대치 계산기(206)는 디지털 신호(s)의 절대치(s_a)를 계산한다. 피크 검출기(208)는 아날로그-디지털 변환기(204)를 통해 소정수의 샘플로 이루어진 일정 크기의 윈도우 기간 동안에 계산된 절대치(s)들의 피크(s_{max})를 검출한다.

도 3은 도 2에 도시된 피크 검출기의 동작을 설명하기 위한 개념도로서, 여기서 윈도우의 크기(w)는 32개 단위로 분할된 샘플을 하나의 윈도우로 나타내었지만, 윈도우의 크기(w)는 시스템에 따라 또는 원하는 수렴 정도에 따라 변화될 수 있다. 만약, 윈도우의 크기(w)를 너무 크게 설정하면 느린 속도로 수렴되고, 너무 작게 설정하면 수렴 속도는 빠르지만 피크치를 제대로 검출할 수 없게 된다. 이와 같이, 일정 기간 동안에 절대치(s)들의 피크(s_{max})를 검출하는 것은 결국 입력 신호(x(t))를 원하는 레벨 크기만큼 증폭시키는데 있어서 입력 신호(x(t))의 피크치가 일정한 진폭 레벨내에 안정적으로 존재하도록 하기 위함이다.

다시 도 2를 참조하면, 평균 계산기(210)는 피크 검출기(208)에서 현재 출력되는 피크치(s_{max})를 이전에 피크 검출기에서 출력된 이전 피크치들과 평균하여 평균값(s_{av})을 계산한다. 이러한 평균 계산기(210)는 피크치를 보다 일반화시킬 수 있다.

도 4는 도 2에 도시된 평균 계산기의 바람직한 실시예의 상세 블록도로서, 제1 급셈기(32), 가산기(34), 래치(36) 및 제2 급셈기(38)로 구성된다. 도 4에 도시된 평균 계산기는 하드웨어의 간소화를 위해 1폴(pole) 로우패스 필터로 구성되어, 현재 피크치(s_{max})과 이전 피크치들의 평균값과 평균하여 현재의 평균값(s_{av})을 계산한다. 제1 급셈기(32)는 현재 피크치(s_{max})에 제1 시상수(c1)를 급하고, 가산기(34)는 그 결과를 제2 시상수(c2)가 급해진 이전 피크치 또는 이전 평균값과 가산하여 현재의 평균값(s_{av})으로서 출력한다. 래치(36)는 이 평균값(s_{av})을 래치하고, 제2 급셈기(38)는 래치된 결과에 제2 시상수(c2)를 급한다. 여기서, 제1 및 제2 시상수는 0.5~1sec.가 될 수 있도록 정해지며, c1+c2는 1이 되고, (c2는 0이 되도록 회수(n)가 정해진다. c2이 크면 급수목 오랜 구간에 걸쳐 평균값을 구한 결과를 얻게 된다.

다음에, 가산기(212)는 평균 계산기(210)에서 출력되는 피크치의 평균값(s_{av})을 용의 부호로 하고, 원하는 신호 레벨인 기준 레벨(Ref_level)을 양의 부호로 하여 가산하고, 가산된 결과를 에러신호(e_{av})로서 출력한다.

스레시홀드 검출기(214)는 에러신호(e_{av})를 소정의 스레시홀드치와 비교하여 크면 제1 제어신호(즉, 이득값을 높이기 위한 하이레벨 신호)를 출력하고, 작으면 제2 제어신호(즉, 이득값을 낮추기 위한 로우레벨 신호)를 출력한다.

도 5는 도 2에 도시된 스레시홀드 검출기의 동작을 설명하기 위한 개념도이다. 스레시홀드 검출기(214)는 에러신호(e_{av})를 허용가능한 스레시홀드치로서 상한(+) 스레시홀드치와 하한(-) 스레시홀드치를 설정할 수 있다. 이에 따라 에러신호(e_{av})가 상한 스레시홀드치보다 크면 제1 제어신호를 출력하고(도 5에서 +로 표시), 하한 스레시홀드치보다 작으면 제2 제어신호를 출력하며(도 5에서 -로 표시), 하한 스레시홀드치와 상한 스레시홀드치 사이에 있으면 제어신호를 출력하지 않는다(도 5에서 0로 표시). 즉, 에러신호(e_{av})가 상한 스레시홀드치보다 큰 경우에는 가산기(212)에서 평균값(s_{av})보다 기준 레벨(Ref_level)이 컸다는 것을 의미하므로, 이후에 이득값을 이득 스텝만큼 높여주기 위해 제1 제어신호가 출력되고, 그 역의 관계이면 제2 제어신호가 출력된다.

다시 도 2를 참조하면, 이득 스텝 제어기(216)는 가변 이득 스텝을 가지는 이득값 제어기로서 초기 이득값 또는 이전 이득값은 스레시홀드 검출기(214)로부터 출력되는 제1 제어신호에 응답하여 이득 스텝만큼 높이거나(즉, 증산하거나), 제2 제어신호에 응답하여 이득 스텝만큼 낮추어(즉, 제산하여) 급셈기(200)로 출력한다. 여기서, 초기에 설정된 이득 스텝은 가변될 수 있다. 이득 스텝 제어기(216)는 지속적으로 제1 및 제2 제어신호중 하나의 제어신호를 입력하면 이득 스텝을 변화시키지 않고, 하나의 제어신호에서 다른 제어신호로 변환할때마다 이득 스텝을 소정 데시벨만큼 줄인다. 이러한 점에서, 종래의 자동 이득 조정장치가 고정된 이득 스텝을 이용하여 임정하게 이득값을 조정하는데 비하여, 본 발명에 의한 자동 이득 조정장치는 초기에 매우 큰 이득 스텝을 사용하지만 점차로 작은 이득 스텝을 사용함으로써 빠른 속도로 이득값이 정상 상태(steady state)에 도달하게 된다.

또한, 이득 스텝 제어기(216)는 스레시홀드 검출기(214)로부터 일정 시간동안 제1 또는 제2 제어신호가 입력되지 않으면, 이득값이 안정된 상태에 도달된 것으로 판단하고, 이때의 이득 스텝을 소정의 최소 이득 스텝으로 조정한다. 이와 같이 조정하는 이유는 이득값이 일단 안정된 상태에 도달한 후에는 다음에 자동 이득 조정이 필요하더라도 최소 이득 스텝으로 이득값을 변화시켜도 되기 때문이다.

지금까지 가변 이득 스텝에 따라 업 또는 다운된 이득값을 발생하는 이득값 발생부(202)에 대해 설명하였다. 통상, 이득값 발생부(202)는 디바이스 규격에 정해진 바에 의하면 40msec동안 에러신호(e_{err})에 따라 급셈기(200)의 이득값을 계속 업데이트하도록 되어 있다. 그러나, 본 발명에 의한 자동 이득 조정장치는 효과적으로 빠르게 이득값이 안정된 상태에 이르게 하므로, 제한된 시간동안 계속 동작할 필요가 없다. 따라서, 이득값 발생부(202)는 이득값이 안정된 상태에 도달되면 최종 이득값을 유지하여 급셈기(200)로 출력하고, 이득값 제어를 위한 동작을 일시 중지하고, 일정 시간을 간격으로 급셈기(200)의 출력을 피드백하여 이득값을 제어하도록 설계될 수 있다.

도 6은 본 발명에 의한 자동 이득 조정장치와 이득 업데이팅 온/오프 동작을 설명하기 위한 개념도이다. 도 6에 도시된 바와 같이, 초기의 이득 업데이팅 온 구간에서 자동 이득 조정장치가 입력 신호를 원하는 레벨 크기로 증폭시킬만큼 안정된 이득값을 얻었다면, 일정 시간후에 이득 업데이팅 오프 구간에서 이득값 제어에 의한 동작을 일시 중지한다. 이후 일정 시간을 간격으로 이득 업데이팅 온/오프 구간이 반복되며, 이득 업데이팅 온 구간에서만 이득값이 조정된다.

도 7 (a) 및 (b)는 종래와 본 발명의 자동 이득 조정장치에 따른 전체 이득값과 자동 이득 조정 장치의 출력값을 비교한 시뮬레이션도들이다.

도 (b)에 도시된 결과들 얻기 위해서, 먼저 수신된 입력 신호($x(t)$)에 초기 설정된 이득값을 곱하여 자동 이득 조정된 출력 신호($s(t)$)를 얻고, 이 신호($s(t)$)를 디지털 신호(s)로 변환한다. 디지털 신호(s)의 절대치를 구한다. 이와 같이 절대치를 이용하는 것은 또한 종래와 같이 제곱값을 사용하면 1보다 큰 것은 보다 큰 값을 가지고 1보다 작은 것은 보다 작은 값을 가지게 되는 단점이 있기 때문이다.

다음에, 피크치가 일정한 진폭 레벨내에 존재하도록 하기 위해서 디지털 신호(s)의 일정 샘플 윈도우(여기서, 윈도우 크기(w)=32)동안의 피크치(s_{peak})를 검출한다. 피크치(s_{peak})에 대한 평균값(s_a)은 1폴로우패스 필터를 이용하여 구하는데, 이때 충분한 평균 효과를 내기 위해서 시상수값은 0.5sec로 하고, c_1 은 0.005로, c_2 는 0.995로 설정한다. 에러신호를 구하기 위해서, 원하는 기준 레벨(Ref_level)에서 평균값(s_a)을 감산하여 에러신호(e_{err})를 구한다. 피드백 회로의 기능으로 궁극적으로는 에러신호(e_{err})는 제로에 근접하게 된다.

에러신호(e_{err})가 제로에 근접하다고 보는 허용 범위는 스레시홀드치에 의해 설정된다. 에러신호(e_{err})를 상한 및 하한 스레시홀드치와 비교하여 상한 스레시홀드치보다 크면 이득 스텝만큼 높여주고, 하한 스레시홀드치보다 작으면 이득 스텝만큼 낮추어주도록 제1 및 제2 제어신호를 발생한다. 상한 및 하한 스레시홀드치의 값을 설정하는데 있어서 주의할 점은 값을 너무 작게 설정하면 빨리 수렴되지만 토글 현상이 일어나게 되고, 너무 크면 설정하면 토글 현상이 없는 대신에 정상 상태로 수렴되는데 시간이 오래 걸리게 된다. 여기서는 값을 최저 이득 스텝(0.5dB)보다 조금 큰 값(0.6dB)으로 설정하였다.

에러신호(e_{err})와 스레시홀드치를 비교한 결과에 따라, 제1 제어신호가 발생되면 이득값을 이득 스텝만큼 곱해주고, 제2 제어신호가 발생되면 이득 스텝만큼 나누어 준다. 여기서, 특징적으로, 이득 스텝은 초기에는 매우 큰값으로 설정되지만, 에러신호(e_{err})가 상한 스레시홀드치의 위쪽과 하한 스레시홀드치의 아래쪽으로 토글할 때마다 이득 스텝은 소정의 dB만큼 점점 줄어든다. 예컨대, 이득 스텝을 초기에 26dB로 설정하고, 토글될 때마다 반으로 줄여 20dB, 14dB, 8dB, 2dB, 1dB 순으로 줄이게 되면 결국에는 종래의 고정된 이득 스텝과 같은 최저 이득 스텝인 0.5dB로 설정된다. 만일, 이득 스텝이 최저 이득 스텝으로 감소되기 전에 자동 이득 조정된 출력 신호가 정상 상태에 도달하게 되어 더이상 이득 스텝의 변화가 생기지 않더라도, 이득 스텝 제어기(216)는 이때의 이득 스텝을 최소 이득 스텝으로 조정한다.

도 7 (a)는 종래의 자동 이득 조정장치를 사용한 경우에는 원하는 전체 이득인 60 dB에 도달하는데 약 23000 샘플 시간이 필요하였고, 자동 이득 조정된 출력 신호가 원하는 레벨 크기(본 시뮬레이션에서는 2로 함)를 넣어서는 불안정한 모습을 나타내고 있다. 반면, 도 7 (b)에 도시된 본 발명에 의한 자동 이득 조정장치를 사용한 경우에는 원하는 전체 이득인 60

dB에 도달하는데 약 1200개의 샘플 시간만이 소요되었고, 자동 이득 조정된 출력 신호가 정상 상태에 도달한 후에 원하는 레벨 크기인 2를 넘지 않았다는 것을 나타내고 있다. 즉, 이들을 비교한 결과, 본 발명에 의한 자동 이득 조정장치는 종래의 장치보다 원하는 레벨 크기로의 수렴 시간을 약 1/20 정도로 감소시키고, 출력 신호가 원하는 레벨 범위내에서 안정적으로 동작한다는 것을 알 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의한 초고속 디지털 가압자선 시스템에서의 자동 이득 조정장치는, 통신 시스템에서 채널을 통해 파워 레벨이 강해져서 수신되는 신호를 간단한 회로 구성으로 수신측에서 요구되는 원하는 크기 레벨의 신호로 만들며, 빠른 수렴속도와 안정적 성능을 보장하는 효과가 있다.

(57) 청구의 범위

청구항 1. 초고속 디지털 가압자선 시스템에서의 자동 이득 조정장치에 있어서,

수신되는 입력 신호에 가변 이득 스텝에 따라 업 또는 다운된 이득값을 곱하여 자동 이득 조정된 출력 신호로서 출력하는 곱셈기; 및

상기 곱셈기의 출력 신호를 피드백하여 절대치를 계산하고, 소정수의 샘플단위로 상기 절대치들의 피크를 검출하고, 상기 피크의 레벨을 소정의 기준 레벨과 비교하여 상기 기준 레벨과의 차를 줄이도록 이득 스텝을 가변시켜 상기 이득값을 출력하는 이득값 발생부를 구비하는 것을 특징으로 하는 자동 이득 조정장치.

청구항 2. 제1항에 있어서, 상기 이득값 발생부는,

상기 출력 신호를 디지털 신호로 변환시키는 아날로그-디지털 변환기;

상기 디지털 신호의 절대치를 계산하는 절대치 계산기;

상기 아날로그-디지털 변환기를 거쳐 소정수의 샘플로 이루어진 일정 크기의 윈도우 기간 동안에 계산된 상기 절대치들의 피크를 검출하는 피크 검출기;

상기 피크의 레벨을 음의 부호로 하고, 원하는 신호 레벨인 상기 기준 레벨을 양의 부호로 하여 가산하고, 가산된 결과를 에러신호로서 출력하는 가산기;

상기 에러신호를 소정의 스레시홀드치와 비교하여 크면 제1 제어신호를 출력하고, 작으면 제2 제어신호를 출력하는 스레시홀드 검출기; 및

초기 이득값 또는 이전 이득값을 상기 제1 제어신호에 응답하여 이득 스텝만큼 높이거나, 상기 제2 제어신호에 응답하여 이득 스텝만큼 낮추어 상기 곱셈기로 출력하는 이득 스텝 제어기를 구비하는 것을 특징으로 하는 자동 이득 조정장치.

청구항 3. 제2항에 있어서, 상기 이득값 발생부는,

상기 피크 검출기에서 출력되는 현재 피크치들 이전에 상기 피크 검출기에서 출력된 이전 피크치들과 평균하고, 평균치의 피크 레벨을 상기 가산기로 출력하는 평균 계산기를 더 포함하는 것을 특징으로 하는 자동 이득 조정장치.

청구항 4. 제2항에 있어서, 상기 스레시홀드 검출기는,

상한 스톱시옴드치와 하한 스톱시옴드치를 설정하여 상기 에러신호가 상기 상한 스톱시옴드치보다 크면 상기 제1 제어신호를 출력하고, 상기 하한 스톱시옴드치보다 작으면 상기 제2 제어신호를 출력하며, 상기 하한 스톱시옴드치와 상기 상한 스톱시옴드치 사이에 있으면 제어신호를 출력하지 않는 것을 특징으로 하는 자동 이득 조정장치.

청구항 5. 제2항에 있어서, 상기 이득 스텝 제어기는,

지속적으로 상기 제1 및 상기 제2 제어신호중 하나의 제어신호를 입력하면 상기 이득 스텝을 변화시키지 않고, 상기 하나의 제어신호에서 다른 제어신호로 변화될때마다 상기 이득 스텝을 소정 데시벨만큼 줄이는 것을 특징으로 하는 자동 이득 조정장치.

청구항 6. 제2항에 있어서, 상기 이득 스텝 제어기는,

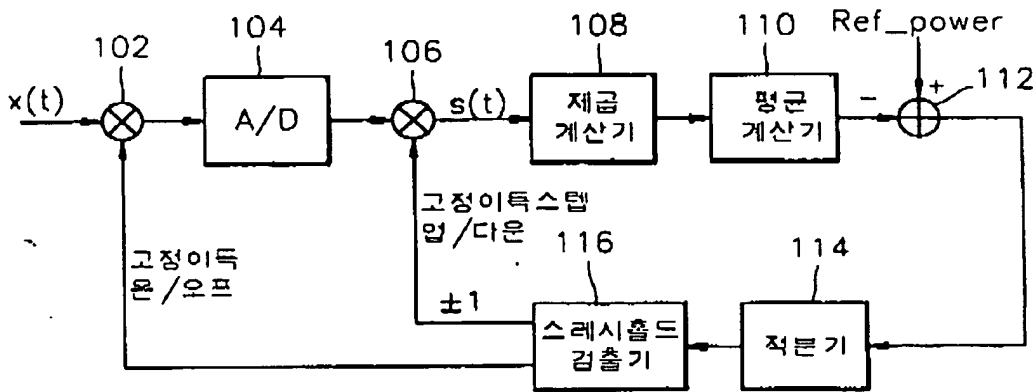
상기 스톱시옴드 검출기로부터 일정 시간동안 상기 제1 또는 상기 제2 제어신호가 입력되지 않으면, 상기 이득값이 안정된 상태에 도달된 것으로 판단하고, 상기 이득 스텝을 소정의 최소 이득 스텝으로 조정하는 것을 특징으로 하는 자동 이득 조정장치.

청구항 7. 제1항 내지 제6항중 어느 한항에 있어서, 상기 이득값 발생부는,

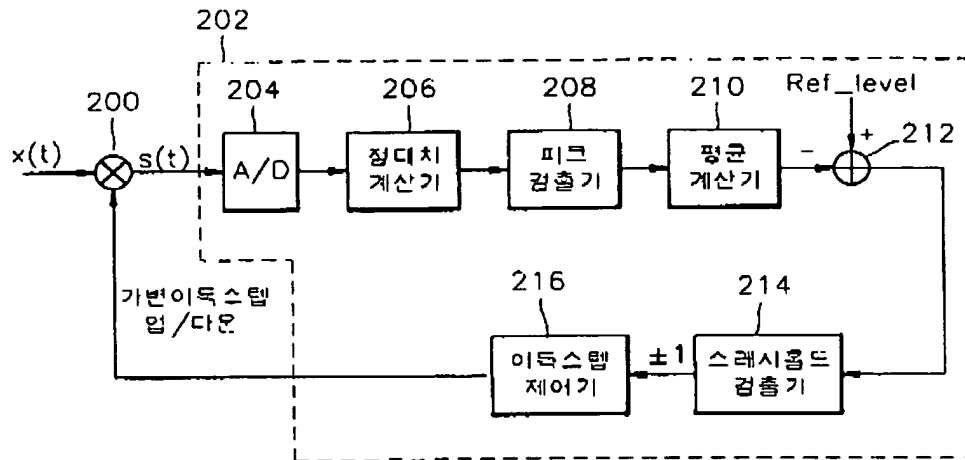
상기 이득값이 안정된 상태에 도달되면 최종 이득값을 유지하여 상기 곱셈기로 출력하고, 상기 이득값 제어를 위한 동작을 일시 중지하고, 일정 시간운 간격으로 상기 곱셈기의 출력을 피드백하여 상기 이득값을 제어하는 것을 특징으로 하는 자동 이득 조정장치.

도면

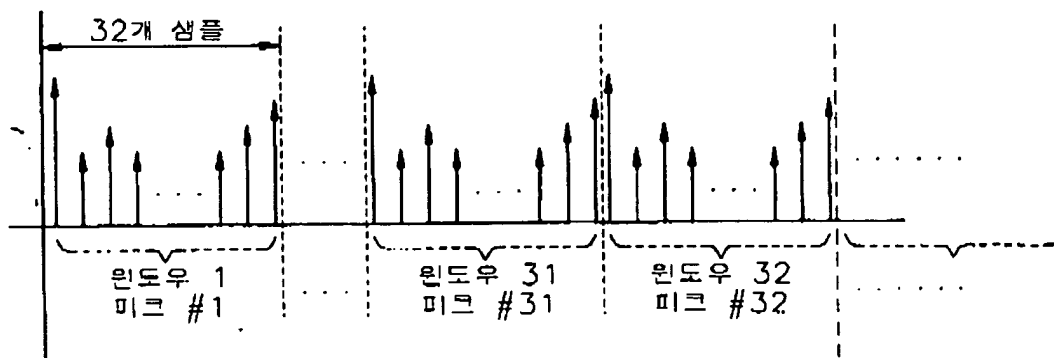
도면1



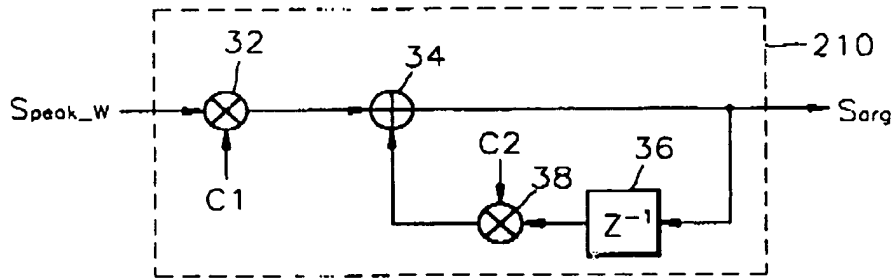
도면2



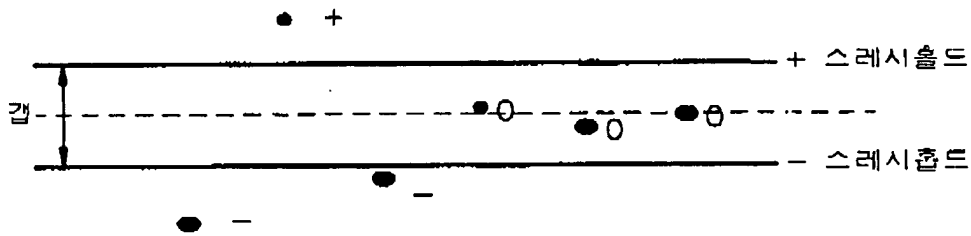
도면3



도면4



도면5



도면6

